

## PROPOSITION D'UN POSTE D'INGENIEUR EN CONCEPTION NUMERIQUE FPGA/ASIC

Département Electronique, Optronique et Signal (DEOS)

Point de contact : Philippe MARTIN-GONTHIER

Lieu : Toulouse, France

Tél. : 05 61 33 83 69

Mél. : philippe.martin-gonthier@isae.fr

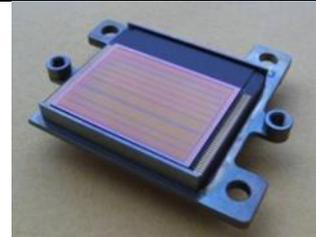
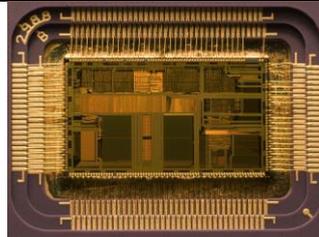
Domaine d'étude :

Conception numérique, capteurs d'image intégrés

Titre :

**INGENIEUR CONCEPTION NUMERIQUE FPGA/ASIC**

Dans le cadre de ses activités de recherche, le groupe capteurs d'image intégrés (CIMI) de l'ISAE-SUPAERO, à Toulouse, développe des circuits intégrés d'exploration permettant de répondre aux problématiques relatives aux capteurs d'image qu'ils soient ou non opérés en environnements sévères (radiatif et/ou cryogénique). Afin d'opérer ces imageurs dans les meilleures conditions, la mise au point de routines de pilotage et de lecture est nécessaire. Plusieurs options sont envisagées dans ce cas : soit l'utilisation de circuits programmables de type FPGA associés à l'imageur, soit la création d'ASIC associé directement sur le même circuit à l'imageur. Afin de renforcer ses équipes pour répondre aux sollicitations de ses partenaires, qu'ils soient académiques, publiques ou industriels, l'ISAE-SUPAERO recrute un ingénieur en conception numérique FPGA/ASIC.



### MISSION

Intégré(e) dans un environnement stimulant au sein de l'équipe de recherche CIMI de l'ISAE-SUPAERO, vous aurez pour principales missions :

- La définition d'architecture «matériel» et la réalisation de routines de pilotage et de lecture de circuits imageurs complexes en s'appuyant sur des langages de description de haut niveau (VHDL)
- La vérification des routines développées en ciblant celles-ci sur FPGA (Xilinx, Vivado)
- La conception d'ASIC en suivant le flot de conception de circuits numériques (synthèse, placement et routage, vérification rétro-annotées) et en tenant compte des contraintes induites par l'adjonction d'un circuit imageur
- Assurer l'envoi en fonderie, le suivi de fabrication et la rédaction de documents liés aux circuits numériques envoyés en fabrication

### PROFIL DU CANDIDAT

De formation Bac+5/Ingénieur, le (la) candidat(e) devra posséder des connaissances et compétences en électronique ou microélectronique avec une première expérience réussie (pouvant être un projet de fin d'étude) dans la réalisation de circuits numériques complexes (FPGA ou ASIC). Il (elle) devra être familier des outils de conception FPGA de type Vivado de Xilinx. La maîtrise du flot de conception de circuits intégrés numériques serait un plus (synthèse, placement et routage, vérification rétro-annotées ainsi que des simulateurs électriques numériques de type ModeleSim).

La connaissance de circuit de lecture imageur serait fortement appréciée.

L'autonomie, la capacité à travailler en équipe, le goût de l'organisation et de la communication, en français et en anglais, sont indispensables.

CDD de 12 à 36 mois (renouvelable)

Merci d'envoyer une lettre de motivation, un CV détaillant l'expérience à

[philippe.martin-gonthier@isae.fr](mailto:philippe.martin-gonthier@isae.fr)

## ELECTRONIC DIGITAL DESIGNER FPGA/ASIC

Electronic, Optronics and Signal Department (**DEOS**)

Contact : Philippe MARTIN-GONTHIER

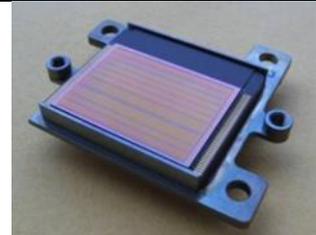
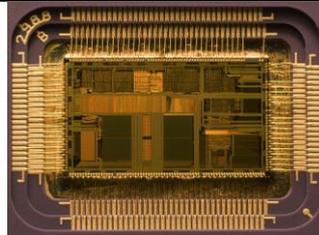
Site : Toulouse, France

Phone : 05 61 33 83 69

Mail : [philippe.martin-gonthier@isae.fr](mailto:philippe.martin-gonthier@isae.fr)

### Electronic Digital Design, Image Sensors ELECTRONIC DIGITAL DESIGNER FPGA/ASIC

In the frame of its research activities, the Integrated Image Sensor Group (CIMI) of ISAE-SUPAERO, in Toulouse, develops exploration integrated circuits to answer problems related to image sensors whether or not they are operated in harsh environments (radiative and/or cryogenic). In order to operate these imagers in the best conditions, the development of control and reading sequences is necessary. Several options are considered in this case: either the use of programmable circuits such as FPGA associated with the imager, or the creation of ASIC associated directly on the same circuit to the imager. In order to strengthen its teams to respond to the requests of its partners, whether they are academic, public or industrial, ISAE-SUPAERO recruits an FPGA/ASIC digital design engineer.



### MISSION

Integrated into a stimulating environment within the CIMI research team of ISAE-SUPAERO, you will have for main missions:

- The definition of "hardware" architecture and the implementation of complex imaging circuit control and playback sequences based on high-level description languages (VHDL)
- Checking the routines developed by targeting them on FPGA (Xilinx, Vivado)
- ASIC design by following the digital circuit design flow (synthesis, placement and routing, back-annotated verification) and considering the constraints induced by the addition of an imager circuit
- Providing foundry shipping, manufacturing tracking and writing of documents related to digital circuits sent to manufacturing

### CANDIDATE'S PROFILE

With a master's degree, the candidate will have knowledge and skills in electronics or microelectronics with a first successful experience (which could be a project during a training period) in the realization of complex digital circuits (FPGA or ASIC). He/she will need to be familiar with the Xilinx Vivado FPGA design tools. Mastering the design flow of digital integrated circuits would be a plus (synthesis, placement and routing, retro-annotated verification as well as digital electric simulators of the ModeleSim type).

Imager reading circuit knowledge would be greatly appreciated.

Autonomy, the ability to work as a team, and a taste for organization and communication, in French and English, are essential.

12-month to 36-month fixed term (renewable)

Please send a cover letter, a CV detailing the experience to [philippe.martin-gonthier@isae.fr](mailto:philippe.martin-gonthier@isae.fr)