

# DEVELOPPEMENT D'UN SENSEUR D'ACQUISITION ET DE POURSUITE (ATS) A BASE DE CAPTEUR D'IMAGE CMOS POUR UN TERMINAL DE LIAISON OPTIQUE

Michel Bréart de Boisanger <sup>(1)</sup>, Ludovic Vaillon <sup>(1)</sup>, Jérôme Billy <sup>(1)</sup>, Frank Larnaudie <sup>(1)</sup>,  
Pierre Magnan <sup>(2)</sup>, Philippe Martin-Gonthier <sup>(2)</sup>, Franck Corbière <sup>(2)</sup>, Pierre Belliot <sup>(2)</sup>, Nicolas Huger <sup>(2)</sup>

<sup>(1)</sup>, EADS ASTRIUM, 31, rue des Cosmonautes, 31402 Toulouse Cedex 4, France

<sup>(2)</sup>, SUPAERO CIMI, 10, Avenue Edouard Belin, 31055 Toulouse Cedex 4, France

**MOTS CLE** : liaison optique laser, satellite ARTEMIS, démonstrateur LOLA, imageur CMOS, APS

## RESUME

A la suite du succès de la mission SILEX [1], la réflexion sur la définition des terminaux optiques s'est poursuivie à EADS ASTRIUM, notamment dans le but de simplifier le banc optique.

Les capteurs d'image CMOS, développés en collaboration entre EADS ASTRIUM et SUPAERO CIMI, initialement pour des senseurs stellaires miniatures [2], contribuent à cette simplification, en réalisant sur la même puce les fonctions d'acquisition et de poursuite du spot laser.

Le projet LOLA, financé par la Délégation Générale pour l'Armement, a permis de développer à EADS ASTRIUM le premier senseur d'acquisition et de poursuite (ATS) pour le terminal aéroporté ELSA.

Après avoir rappelé la mission SILEX, le protocole d'acquisition de la liaison et l'architecture du banc optique du terminal PASTEL, ce papier présente la genèse et le développement de l'ATS pour le démonstrateur LOLA.

## 1 SILEX

### 1.1 Mission

Durant les années 90, EADS ASTRIUM a développé un savoir faire unique dans le domaine des communications optiques spatiales, concrétisé par le succès de la 1<sup>ère</sup> liaison optique inter satellite réalisée le 30 novembre 2001 entre le terminal OPALE embarqué sur le satellite géostationnaire ARTEMIS et le terminal PASTEL passager du satellite d'observation de la terre SPOT4.

Cette liaison permet de retransmettre les prises de vue de SPOT4 en passant par le relais géostationnaire pendant une demi orbite, avec un délai de 0.3sec (aller-retour de la lumière), cf. Figure 1. Elle réduit donc grandement les délais de mise à disposition de scènes d'intérêt.

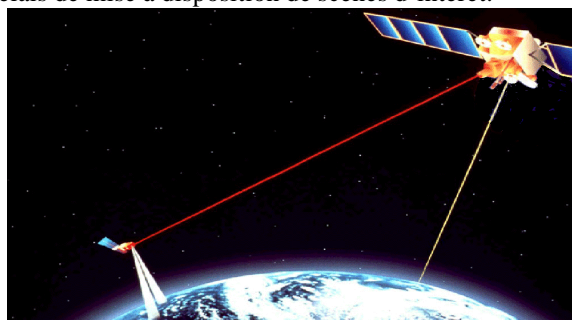


Figure 1 : la liaison SILEX SPOT4-ARTEMIS

### 1.2 Protocole et durée d'acquisition de la liaison SILEX

En sortie d'éclipse les terminaux sont pré-pointés l'un vers l'autre :

- le terminal OPALE explore son cône d'incertitude et se signale au terminal PASTEL en l'éclairant avec son faisceau Balise à forte divergence (750 $\mu$ rad)
- le terminal PASTEL renvoie dans la direction du faisceau Balise détecté son faisceau de communication afin de prévenir OPALE d'arrêter le balayage exploratoire de sa Balise et de pointer son faisceau de communication dans la direction du faisceau de communication de PASTEL.

Cette phase d'acquisition mutuelle à partir du moment où OPALE éclaire PASTEL doit durer moins de 0.7sec en incluant les 0.3sec d'aller retour de la lumière et 0.1sec de reconfiguration d'OPALE. Le terminal PASTEL doit donc détecter le signal Balise et émettre dans sa direction son faisceau de communication en moins de 0.3sec.

La phase de communication entre les 2 terminaux peut alors commencer.

### 1.3 Architecture du banc optique du terminal PASTEL

Pour réaliser la détection du signal Balise et émettre son faisceau de communication en réalisant un pointage en avant, le banc optique du terminal PASTEL comporte un mécanisme de pointage fin (FPM), un senseur d'acquisition (ASDU), un senseur de poursuite (TSDU) et un mécanisme de pointage en avant (PAA), Cf. Figure 2.

L'ASDU utilise un DTC de 288x384 pixels offrant une fréquence image de 30Hz et un champ de vue de 8000 $\mu$ rad.

Le TSDU utilise un DTC de 16x16 pixels offrant une fréquence image de 1,4 ou 8kHz et un champ de vue de 240 $\mu$ rad.

Le faisceau reçu après réflexion sur le FPM est réparti grâce à une lame semi transparente entre l'ASDU et le TSDU.

Une fois le spot détecté sur l'ASDU, le FPM est défléchi pour amener le spot au centre du TSDU.

Le FPM est ensuite asservi pour maintenir le faisceau reçu à l'intersection des 4 pixels centraux du TSDU.

Le PAA est ensuite commandé pour biaiser le faisceau émis par rapport au faisceau reçu.

En dehors des liaisons, des phases de calibration sont prévues : un coin-cube monté sur un mécanisme de type « flip-flop »

permet de co-aligner le PAA et le TSDU, donc l'émission et la réception.

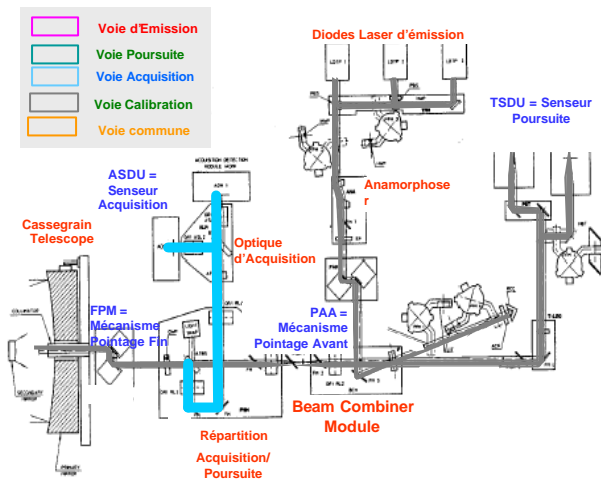


Figure 2 : banc optique PASTEL

## 2 GENESE DU SENSEUR ATS

L'architecture du banc optique SILEX répond bien au besoin du protocole d'acquisition de la liaison, pour preuve la statistique de succès expérimentée en orbite. Cependant elle présente un fort encombrement du banc optique et nécessite des réglages minutieux et donc longs lors de la phase d'intégration du banc optique.

Au démarrage du projet TELEDESIC, en 1998, dans la perspective de production en série de terminaux optiques, une telle architecture était réhhibitoire.

Une première étude de senseur d'acquisition et de poursuite basée sur une mise en œuvre poussée d'un DTC à transfert de trame fut menée. Dans la phase de poursuite, où seule la fenêtre centrale est à lire, il faut acheminer les charges des lignes correspondantes à travers les lignes devenues inutiles de la zone image et de la zone mémoire, puis lire tous les pixels du registre de lecture. Le vidage direct des lignes non utiles et une fréquence de lecture accélérée des pixels sans intérêt permettent de gagner du temps. Mais la mise en œuvre restait lourde en terme d'électronique et de puissance électrique consommée.

A la même époque EADS ASTRIUM démarrait une collaboration avec le laboratoire de Conception d'Imageurs Matriciels Intégrés (CIMI) de SUPAERO, pour concevoir des puces APS/CMOS, notamment pour des senseurs stellaires.

Une R&T avec le CNES pour des Senseurs Stellaires Miniatures se concrétisa en 2002 par la conception, la fabrication et les tests d'un lot de puces APS750, Cf. Figure 3, présentant une zone photosensible de 750x750 pixels et des capacités d'adressage ligne et colonne permettant la lecture aisée de fenêtres de taille et position programmables.

Tous les éléments étaient alors réunis pour développer au sein d'EADS ASTRIUM le premier senseur d'acquisition et de poursuite à base d'imageur CMOS.

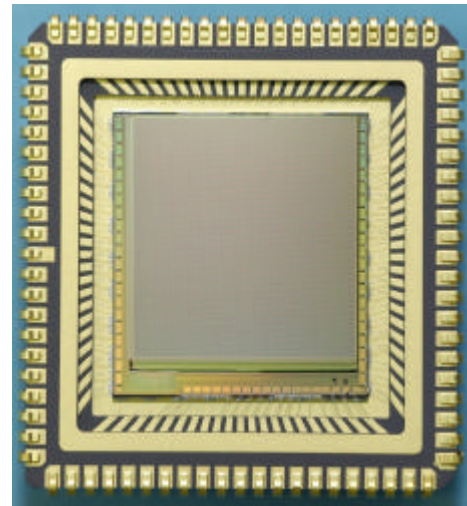


Figure 3 : puce APS750 emballée JLC

## 3 DEVELOPPEMENT DU SENSEUR D'ACQUISITION ET DE POURSUITE POUR LE DEMONSTRATEUR LOLA

Le démarrage du démonstrateur LOLA fin 2003 a permis d'enclencher ce développement

Le démonstrateur LOLA est la transposition aéroportée du tandem SPOT4-PASTEL.

Le satellite SPOT4 est remplacé pour la démonstration par un avion Mystère XX du CEV dans lequel est embarqué le terminal optique ELSA.

Le démonstrateur LOLA doit donc réaliser des liaisons optiques entre le terminal OPALE et le terminal ELSA.

Les 1ères liaisons sont planifiées en 2006 et l'intégration du banc optique a démarré en mars 2005, après livraison de l'ATS.

### 3.1 Logique et planning de développement de l'ATS LOLA

La figure 4 montre le planning de développement de l'ATS LOLA.

Le chemin critique est réalisé par la conception, la fonderie et le packaging de la puce APS750FAST, puis par les tests de l'ATS LOLA au laboratoire Détection d'ASTRIUM.

Ce développement est balisé par deux revues :

- une Revue de Conception en mai 2004 qui a autorisé le départ en fonderie de la puce APS750FAST et la fabrication de l'électronique de l'ATS
- un Bilan Technique fin octobre 2004, qui a autorisé le début des tests au labo de vérification et de caractérisation.

Ce développement a été sécurisé grâce à l'expérience acquise sur l'APS750 qui a permis d'établir dès octobre 2003 les spécifications de l'APS750FAST, et aussi par la possibilité de réaliser des tests complémentaires sur l'APS750 pour vérifier les spécificités de mise en œuvre envisagées pour l'ATS.

| Année   | 2003              |  |                               |     |                                 |   |                            |   |                      |        |  |   | 2004                 |    |    |    |   |   |   |   |  |  |  |  | 2005 |  |  |  |
|---|-------------------|--|-------------------------------|-----|---------------------------------|---|----------------------------|---|----------------------|--------|--|---|----------------------|----|----|----|---|---|---|---|--|--|--|--|------|--|--|--|
|   | 9&10              |  | 11                            | 12  | 1                               | 2 | 3                          | 4 | 5                    | 6      | 7  | 8 | 9                    | 10 | 11 | 12 | 1 | 2 | 3 | 4 |  |  |  |  |      |  |  |  |
| Mois  | TO                |  |                               | RCS |                                 |   | RDP/RCD ATS                |   |                      | BT ATS |  |   | CRE ATS              |    |    |    |   |   |   |   |  |  |  |  |      |  |  |  |
| Synthèse / Budget / Modèle & Algos                  | Note paramétrique |  | PDV, modèle Matlab            |     | DJD                             |   | ATS                        |   | Suivi des appros ATS |        | Rapport de test                          |   | Dossier de livraison |    |    |    |   |   |   |   |  |  |  |  |      |  |  |  |
| Puce APS750 Fast                                    | Delta spec APS750 |  | Conception préliminaire       |     | Conception finale et validation |   | Validation avec fonderie   |   | Fonderie             |        | Packaging Intégration                    |   |                      |    |    |    |   |   |   |   |  |  |  |  |      |  |  |  |
| Electroniques de proximité et d'interface numérique |                   |  | Architecture et Prédim.       |     | Dossier de définition           |   | Fabrication et recette     |   |                      |        |  |   |                      |    |    |    |   |   |   |   |  |  |  |  |      |  |  |  |
| Essais  |                   |  | Essais complémentaires APS750 |     |                                 |   | Préparation des essais ATS |   | Essais ATS           |        | Support Intégration ATS sur Banc Optique |   |                      |    |    |    |   |   |   |   |  |  |  |  |      |  |  |  |

Figure 4 : planning de développement de l'ATS LOLA

### 3.2 Spécification et architecture préliminaire de l'ATS LOLA

Le démarrage de l'activité a été anticipé en octobre 2003, consacré à une analyse paramétrique des performances du senseur d'acquisition et de poursuite ATS, à partir des entrées système LOLA et terminal optique préliminaires et des caractéristiques de la puce APS750 existante.

Cette analyse a défini de manière préliminaire les fonctions et les performances de l'ATS, cf. Figure 5.

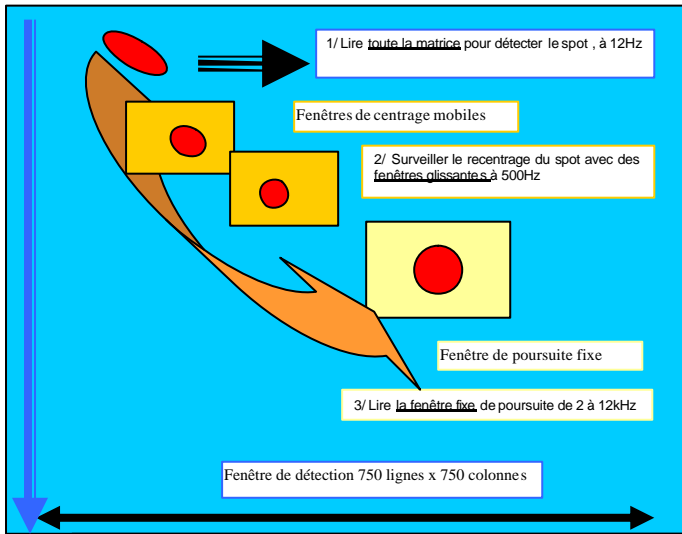


Figure 5 : spécification préliminaire de l'ATS

Elle a mis en exergue les 3 paramètres à optimiser dans la conception de l'ATS :

- La focale équivalente du senseur
- La fréquence de lecture pixel
- Les capacités de traitement image

A taille et nombre de pixels de la zone photosensible donnés, la focale est :

- minimisée pour l'encombrement sur le banc optique et pour offrir un champ de vue senseur supérieur à la précision de pointage du terminal en acquisition.

- maximisée pour minimiser le champ de vue pixel et assurer la meilleure précision en poursuite.

La fréquence de lecture pixel a été spécifiée pour lire les 500000 pixels de la zone photosensible en moins de 100msec.

Une fréquence de 8Mpixel/sec a été choisie, après consultation des équipes de conception de SUPAERO CIMI.

A cette occasion, les modifications de la puce APS750 nécessaires pour atteindre cette fréquence ont été décrites dans leurs grandes lignes :

- séquenceur intégré à la puce cadencé à 16MHz et générant un signal de conversion tous les 2 coups d'horloge
- étage de sortie multiplexé pour atteindre un temps d'établissement du signal vidéo à 99% en 0.166µsec

Enfin les différents modes de mise en œuvre de la puce APS750FAST par l'électronique de contrôle du terminal, en termes de commande du séquenceur et de traitement des pixels, ont été introduits afin de permettre une première estimation de la charge de calcul nécessaire.

Une fois ces choix faits, la spécification de la puce APS750FAST a pu être agréée avec SUPAERO CIMI avant la fin de l'année 2003, autorisant le début de la conception détaillée.

Une 1<sup>ère</sup> modélisation sous Matlab du senseur ATS fut réalisée, alimentée par des essais complémentaires sur l'APS750, puis livrée pour intégration dans le simulateur complet du système de pointage du terminal ELSA et pour consolidation des performances pour la Revue de Conception Système.

La figure 6 montre l'architecture de l'ATS au sein du terminal ELSA, mettant en relief les différentes composantes de l'ATS et ses interfaces avec le banc optique et l'électronique de commande du terminal.

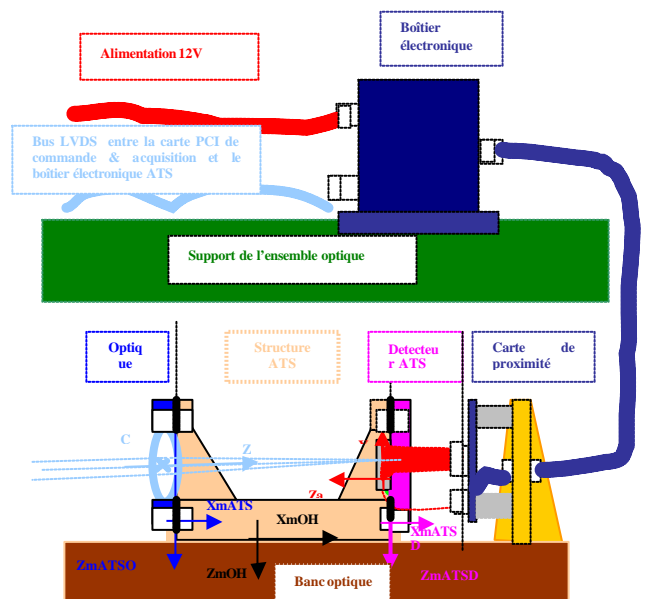


Figure 6 : architecture de l'ATS au sein du terminal ELSA

### 3.3 Conception et validation de la puce APS750FAST à SUPAERO CIMI

La puce APS750FAST reprend l'architecture de la puce APS750, en modifiant les briques technologiques que sont le séquenceur et l'étage de sortie, cf. Figure 7.

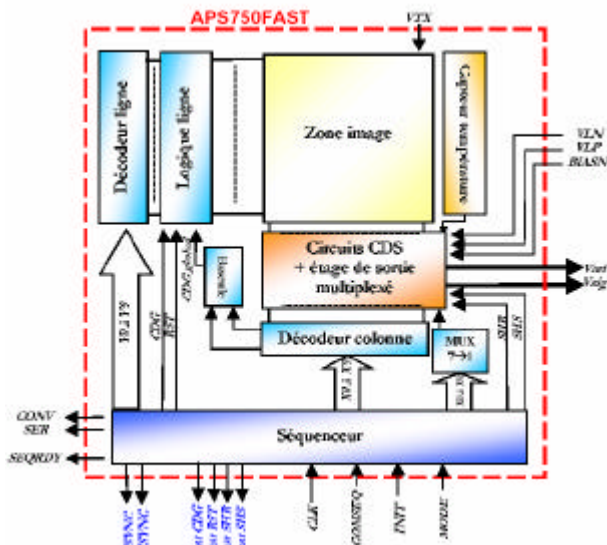


Figure 7 : architecture de la puce APS750FAST

Le code VHDL permettant de décrire le fonctionnement du séquenceur de l'APS750, a été modifié pour atteindre les exigences de performances de l'APS750FAST. Afin de valider le nouveau séquencement, cette description a été implémentée sur une cible FPGA (XILINX). Cette maquette FPGA couplée aux moyens de commande EADS ASTRIUM a permis de valider toutes les sorties du séquenceur sur un analyseur logique, Cf. Figure 8.

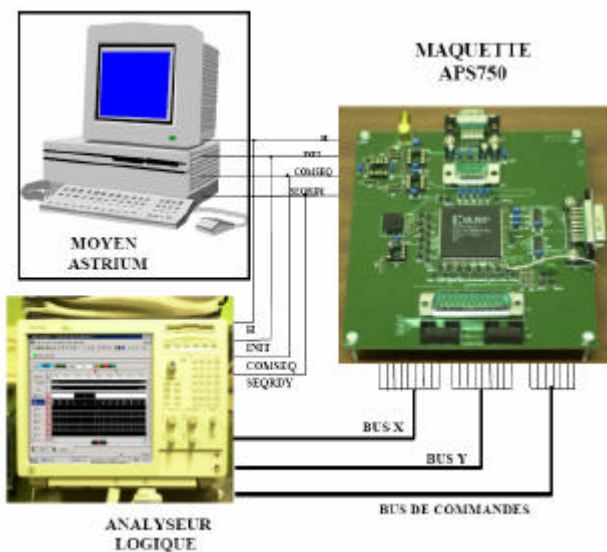


Figure 8 : banc de validation du code VHDL APS750FAST

L'implantation du séquenceur sur silicium a été réalisée avec l'outil de synthèse de circuit logique SYNOPSISYS et l'outil de placement et routage SILICON ENSEMBLE (CADENCE) à travers le flot de conception fondeur ADS2002.2 (AMIS). Des simulations, post placement et routage (rétro annotées), sous l'outil de simulation MODELSIM (MENTOR GRAPHICS) ont permis de démontrer le fonctionnement correct du séquenceur.

Le séquenceur comporte 7069 portes pour une surface de 5.7mm<sup>2</sup>.

L'étage de sortie est subdivisé en 7 blocs de 109 colonnes multiplexés, ce qui permet de réduire la charge capacitive vue par chaque circuit de double échantillonnage corrélé et d'atteindre un temps d'établissement des signaux à 99% en 0.166µsec.

Malgré cet étage supplémentaire, le facteur de conversion est de 8µV/e-, la dynamique linéaire à 5% reste meilleure que 500mV et la puissance consommée par le circuit de lecture est de 60mW.

Ces performances sont garanties dans la plage -10°C ; +40°C.

L'implantation de l'étage de sortie a été réalisée sous Cadence Virtuoso, et les simulations post-implantation avec Eldo et les extracteurs de paramètres Diva/Dracula.

Enfin l'assemblage des briques « séquenceur » et « étage de sortie » et la redistribution des pads ont été réalisés sous Cadence Virtuoso, les vérifications DRC/ERC internes étant réalisées avec Diva et Dracula, Cf. Figure 9.

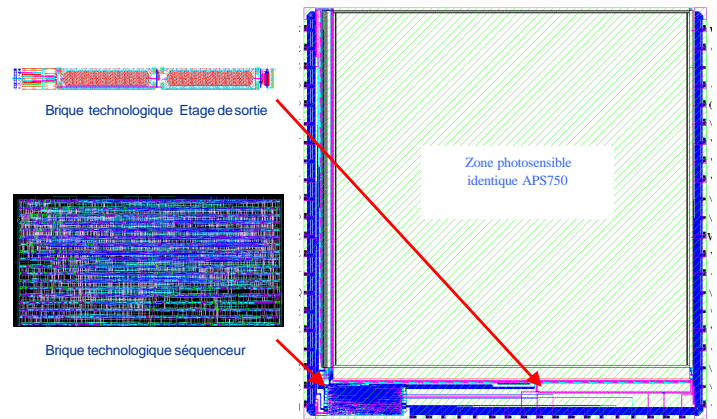


Figure 9 : assemblage des briques technologiques « séquenceur » et « Etage de sortie »

Le tableau 1 donne les différentes performances de l'APS750FAST.

|   |                                   |
|---|-----------------------------------|
| Filière technologique                         | AMIS 0.5µm, 2poly/3métal          |
| Alimentation                                  | 3.3V nominal                      |
| Pixel et détecteur                            | PhotoMOS                          |
| Matrice Pixel                                 | 760 x 760 pixels                  |
| Zone photosensible                            | 750 x 750 pixels                  |
| Pas du pixel                                  | 20µm                              |
| Facteur de Remplissage                        | 57%                               |
| Facteur de Conversion                         | ~ 8µV/e <sup>-</sup>              |
| Linéarité en sortie                           | > 490mV @ 5% de non-linéarités    |
| Gain du circuit de lecture                    | > 0.42                            |
| Temps d'établissement                         | > 6MHz @ 5Tau                     |
| Puissance consommée par le circuit de lecture | ~ 60mW                            |
| Sensibilité capteur de T [-20°C +60°C]        | > 1.1mV/°C                        |
| Plage de validité [process et température]    | Slow Typ et Fast @ -10°C et +40°C |

Tableau 1 : performances de l'APS750FAST

### 3.4 Développement de la carte PCI de commande et d'acquisition de l'ATS

La fourniture en Février 2004 par SUPAERO du code VHDL du séquenceur a permis de développer en parallèle la carte de commande et d'acquisition de l'ATS, en privilégiant une démarche de bas en haut.

La figure 10 présente l'architecture de cette carte.

Le premier élément développé a été le sérialisateur qui dialogue au plus près du séquenceur, envoyant les mots de commande série COMSEQ et recevant les mots de disponibilité SEQRDY.

Le deuxième élément à avoir été implanté fut la machine d'états, qui réalise l'automate des différents modes de mise en oeuvre de la puce APS750FAST. Les macro commandes de lecture image sont transformés en mots de commande 16bits envoyés à la fréquence maximale de 16MHz. Cinq modes sont implantés :

- IDLE, le mode par défaut, qui accepte les commandes de modification des paramètres de configuration, et qui est un passage obligé entre deux modes de lecture
- Pointage Boucle Ouverte, qui réalise la lecture des 750x750 pixels, avec un temps d'intégration ajustable de 0.1 à 75msec et une période image de 80msec.
- Centrage, qui permet de lire à 500Hz une fenêtre dont l'adresse du pixel de plus faible indice ligne et colonne est mis à jour à chaque fois pour suivre le bougé du spot pendant son centrage, en assurant un temps d'intégration de 1msec.
- Poursuite, qui réalise la lecture d'une fenêtre fixe au centre de la matrice à des fréquences de 2 et 12kHz selon le signal (balise ou communication).

Ces deux premiers éléments ont été largement développés sous MODELSIM.

Le développement de cette carte s'est achevé avec la synthèse et le placement-routage sous ISE du contrôleur des deux premiers éléments suivi de l'intégration avec el bus PCI, en particulier pour le transfert des pixels en DMA.

Cette dernière étape a utilisé un prototype permettant l'implantation sur la même carte du modèle d'environnement intégrant le modèle du séquenceur

fourni par SUPAERO et une mire simulant la zone photosensible adressable sur 10bits en ligne (y) et colonne (x). Cette mire a permis de valider la bonne programmation de la matrice et l'intégration du contrôleur DMA, qui permet l'enregistrement des données pixels numérisés dans la zone mémoire de l'électronique de contrôle de terminal. Ce modèle d'environnement est sélectionnable pour autotester la carte en cas d'anomalie.

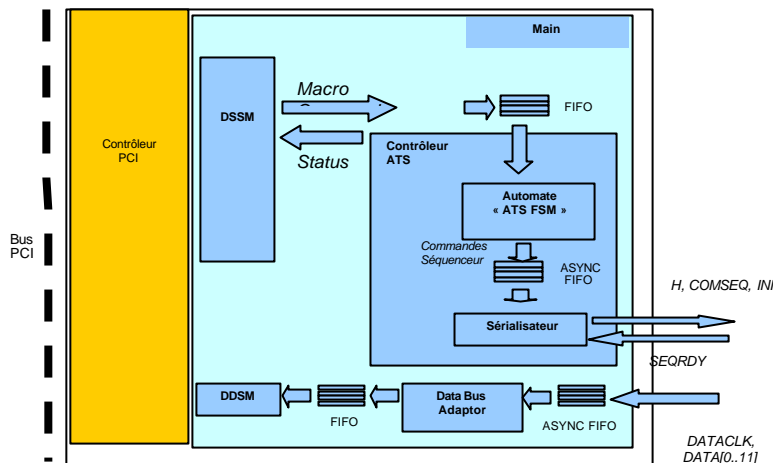


Figure 10 : carte PCI de commande et d'acquisition de l'ATS

### 3.5 Définition détaillée du détecteur ATSD et de l'électronique ATSE

Une fois les architectures figées et les conceptions détaillées lancées que ce soit côté puce et côté carte PCI, restait à détailler la définition du détecteur ATSD intégrant la puce APS750FAST et celle de l'électronique ATSE assurant le lien avec la carte PCI.

Afin de garantir une très grande stabilité mécanique du détecteur sur le banc optique, on choisit de relier la puce au banc par un tripode en Carbure de Silice (SiC), via un boîtier céramique en Nitrure d'Alumine (AlN), ces 2 matériaux alliant une très forte conductivité à un faible coefficient d'expansion thermique.

Toujours pour maximiser cette stabilité, la puissance dissipée sur le banc optique est limitée à la puissance de la puce (100mW) et à celle du préamplificateur de la carte de proximité (300mW) ; le lien entre ces 2 éléments est assuré par un flex rigide à 3 brins.

Les cartes convertisseurs et vidéo sont déportées dans un boîtier électronique implanté sur la base du terminal, à 1 mètre de la carte de proximité.

Pour éliminer le mode commun, le signal vidéo est acheminé en différentiel entre la carte de proximité et la carte vidéo.

Une liaison LVDS relie la carte vidéo à la carte PCI, sur une longueur de 4m.

Enfin pour protéger mécaniquement la puce et ses bondings sur le boîtier, tout en préservant les performances optiques, une vitre munie d'un anti-reflet double face et optimisé dans la bande 800-850nm, a été collée sur le boîtier sous azote afin de garantir une herméticité minimum pendant la campagne aéroportée.

La figure 11 montre l'implantation du boîtier électronique de l'ATS sur le terminal ELSA ainsi que la connection du détecteur ATSD à son électronique de proximité

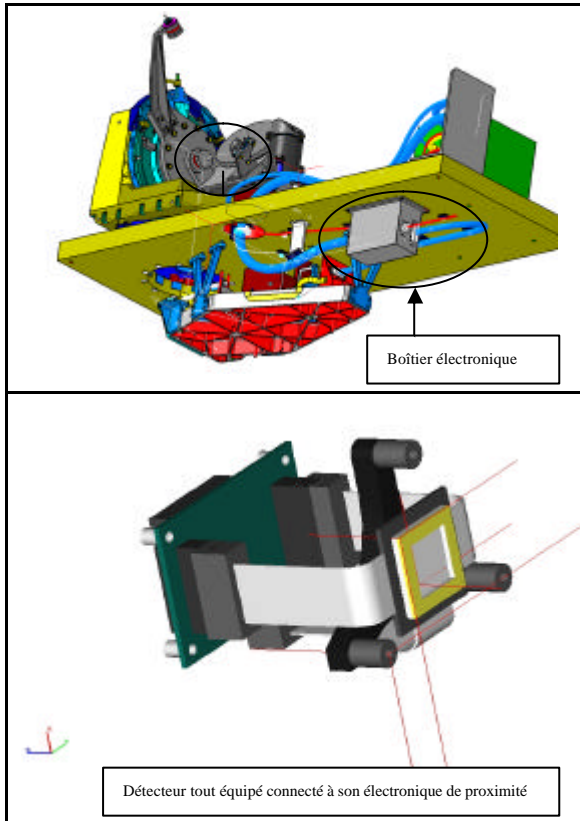


Figure 11 : implantation détaillée des composants de l'ATS au sein du terminal ELSA

### 3.6 Tests ATSD+ATSE au laboratoire de détection d'EADS ASTRIUM :

#### Validation fonctionnelle :

Elle a été effectuée sur le détecteur n°1, dit labo, avec le banc de test de la puce APS750. La figure 12 montre ce détecteur connecté à l'électronique de proximité.

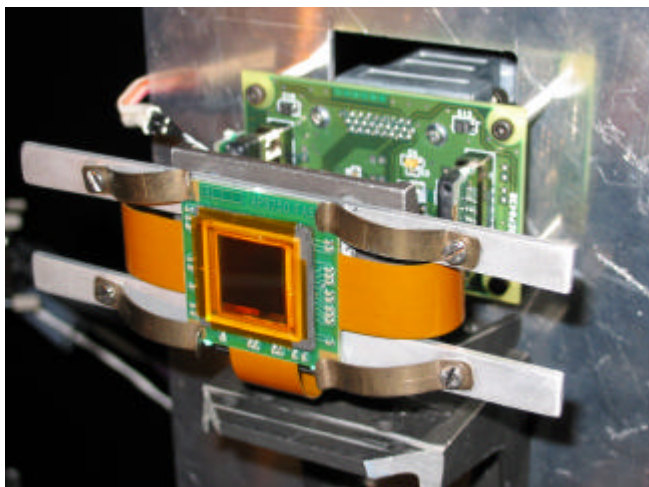


Figure 12 : détecteur n°1 « labo » pour validation fonctionnelle

Deux heures après réception du détecteur, la 1<sup>ère</sup> image des 750x750 pixels lus à 8MHz était réalisée, Cf. Figure 13.

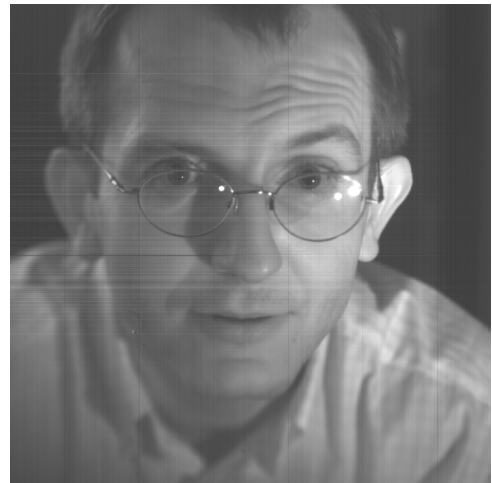


Figure 13 : 1<sup>ère</sup> photo avec Fpixel = 8MPixel/sec

Cette facilité de mise en œuvre montre la maturité du processus de développement conjoint EADS ASTRIUM – SUPAERO CIMI en matière d'imageur CMOS.

Par la suite, on vérifia en détail le fonctionnement du séquenceur :

- Commandes de vidage et transfert lignes
- Commandes de lecture des pixels
- Réglages des paramètres temporels de ces commandes : durée de vidage, transfert lignes et période de sortie des pixels

Au passage, on a vérifié une première performance de la puce, à savoir le temps d'établissement du signal vidéo, Cf. Figure 14.

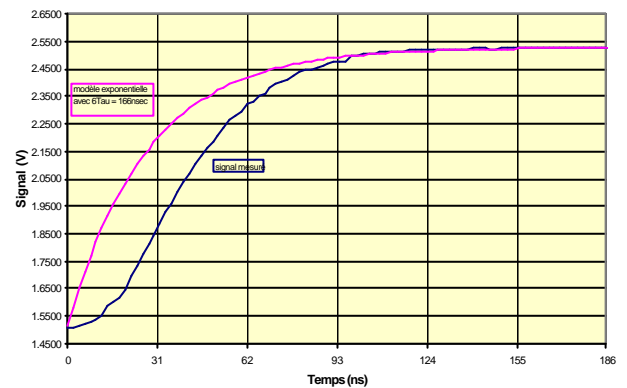


Figure 14 : temps d'établissement du signal vidéo

La validation fonctionnelle s'est achevée par la mise en œuvre des commandes élémentaires Vidage, Transfert et Lecture pixels sous la forme de séquençements particuliers permettant de simuler les différents modes de la carte PCI.

La consommation de la puce a été caractérisée dans ces différents modes. Elle reste inférieure à 100mW

#### Tests cosmétiques sur les 12 ATSD fabriqués :

Douze ATSD ont été fabriqués, à partir de puces issues des 2 wafers de 36 puces fournis par AMIS, cf. Figure 15.

Ces détecteurs ont été évalués en obscurité et sous fond uniforme à 800nm (longueur d'onde de la Balise OPALE),

afin de sélectionner les 2 meilleurs en retenant les critères suivants :

- Pas de ligne ou de colonne morte
- Pas de pixel mort dans la zone centrale de la matrice (fenêtre de poursuite)
- Meilleure sensibilité à 800nm et uniformité de cette sensibilité
- Meilleure uniformité de l'offset électrique d'une ligne à l'autre (répétitivité du profil de Fixed Pattern Noise en colonne).
- Plus faible bruit de lecture

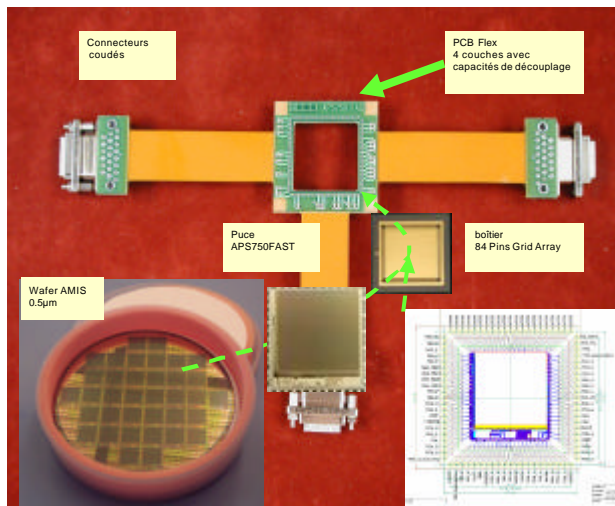


Figure 15 : packaging des puces de vol à partir des wafers produits par AMIS.

**Evaluation des performances fines sur les modèles « vol » et « rechange » :**

Un modèle de vol et un modèle de rechange ont été retenus, suite à ces tests cosmétiques, et ceux-ci ont été complétés sur ces 2 modèles en mesurant leur sensibilités à 820nm (longueur d'onde du faisceau de communication d'OPALE), et à 850nm, (longueur d'onde du faisceau de communication d'ELSA).

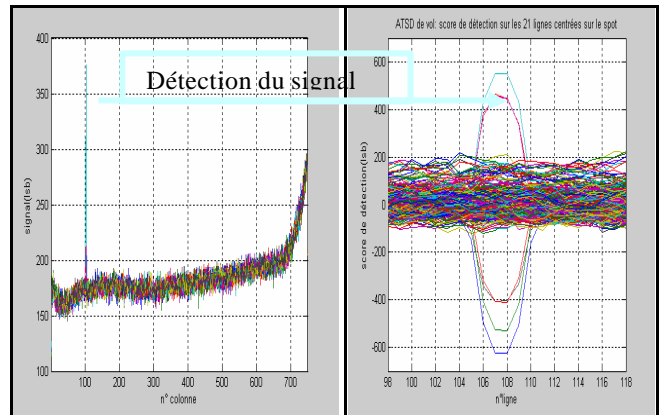
La linéarité de réponse des détecteurs en fonction du niveau de flux été vérifiée dans les différents modes de mise en œuvre.

De même, la valeur du bruit de lecture en fonction du niveau de flux a été caractérisée.

Enfin, des tests opérationnels ont été réalisés en superposant un fond uniforme et un signal utile avec une tâche d'Airy représentative, mais fixe, afin d'obtenir dans chaque mode ATS, une première validation de bout en bout des fonctions et des performances attendues

La figure 16 montre le profil d'une image prise en mode PBO avec un spot positionné en ligne et colonne 108/108 et un fond représentatif de la luminosité du ciel. La figure 17 montre le score de détection pour les 21 lignes centrées sur le spot : le signal ressort bien du bruit de fond.

L'ATS réalise donc correctement les fonctions spécifiées et les performances mesurées sont bien en accord avec les prédictions produites par la modélisation sous MATLAB, dégageant des marges importantes en détection.



Figures 16 et 17 : profil de l'image en mode PBO et score de détection, avec un signal minimal et un fond maximum.

**4 CONCLUSIONS**

Le développement du senseur d'acquisition et de poursuite ATS pour le démonstrateur LOLA a été réalisé avec succès en 15 mois.

La tenue de ce planning montre la maturité de la coopération EADS ASTRIUM – SUPAERO CIMI dans le domaine du développement d'imageurs CMOS.

Le succès de ce développement tient beaucoup au concept de briques technologiques utilisé dans l'approche de conception des imageurs CMOS :

- Zone photosensible reprise sans modification de l'APS750
- Séquenceur et étage de lecture optimisés pour sortir les pixels à 8MHz

Cette approche a permis d'optimiser la prise de risques techniques vis-à-vis de la tenue du planning et des coûts.

Ce développement montre enfin la pertinence de l'approche par modèle numérique, qui permet l'intégration au plus tôt d'imageur CMOS dans un système complexe que représente une liaison optique entre OPALÉ et ELSA :

- Code VHDL du séquenceur utilisé pour le développement en parallèle de la carte PCI de commande et d'acquisition de l'ATS
- Modèle numérique sous MATLAB, intégré dans le modèle complet du système de pointage du terminal ELSA

**5 REFERENCES**

[1] « SILEX in-orbit performances », ICSO 2004, G.Planche, V. Chorvalli  
 [2] « Development of a 750x750 pixels CMOS Imager sensor for tracking applications », CSO 2004, Frank Larnaudie, Nicolas Guardiola