

Soutenance de thèse

Alexandra ZIMPECK soutiendra sa thèse de doctorat, préparée en *cotutelle internationale avec l'UFRGS, Brésil* et intitulée «*Approches au niveau du circuit pour atténuer la variabilité de fabrication et les soft errors dans les cellules logiques FinFET*»

**Le 24 septembre 2019 à 11h00, salle « Le Boulon », ONERA, 2 avenue Edouard Belin 31400
Toulouse**

devant le jury composé de

M. Laurent ARTOLA	Ingénieur ONERA	Co-directeur de thèse ISAE-SUPAERO
Mme Karine COULIÉ	Maître de Conférences Université Aix-Marseille	Rapporteuse
Mme Lirida NAVINER	Professeure Télécom Paris	Rapporteuse
M. Ricardo REIS	Professeur Universidade Federal do Rio Grande do Sul (UFRGS) Brésil	Directeur de thèse UFRGS
Mme Cecilia MEZZOMO	Ingénieure Thales Alenia Space	
M. Paul LEROUX	Professeur KU Leuven	
M. Remi BARBIER	Professeur ISAE-SUPAERO	
M. Marc GALLARDIN	Ingénieur CEA	

Résumé Les contraintes imposées par la roadmap technologique nanométrique imposent aux fabricants de microélectronique une réduction de la variabilité de fabrication mais également de durcissement vis-à-vis des erreurs logiques induits par l'environnement radiatif naturel afin d'assurer un haut niveau de fiabilité. Certains travaux ont mis en évidence l'influence de la variabilité de fabrication et SET sur les circuits basés sur les technologies FinFET. Cependant jusqu'à lors, aucune approche pour les atténuer n'ont pu être présentée pour les technologies FinFET. Pour ces raisons, du point de vue de la conception, des efforts considérables doivent être déployés pour comprendre et réduire les impacts générés par ces deux problématiques de fiabilité. Dans ce contexte, les contributions principales de cette thèse sont: 1) étudier le comportement des cellules logiques FinFET en fonction des variations de fabrication et des effets de rayonnement; 2) évaluer quatre approches de durcissement au niveau du circuit afin de limiter les effets de variabilité (work-function fluctuation, WFF) de fabrication et des soft errors (SE); 3) fournir une comparaison entre toutes les techniques appliquées dans ce travail; 4) proposer le meilleur compromis entre performance, consommation, surface, et sensibilité aux corruptions de données et erreurs transitoires. Transistor reordering, decoupling cells, Schmitt Trigger, et sleep transistor sont quatre techniques prometteuses d'optimisation au niveau de circuit, explorées dans ce travail. Le potentiel de chacune d'elles pour rendre les cellules logiques plus robustes vis-à-vis variabilité de fabrication et de SE a été évalué. Cette thèse propose également une estimation des tendances comportementales en fonction du niveau de variabilité, des dimensionnements des transistors et des caractéristiques énergétique de particule ionisante comme transfert d'énergie linéaire. Lors de cette thèse, la variabilité de fabrication a été évaluée par des simulations Monte Carlo (MC) avec une WFF modélisé par une fonction Gaussienne utilisant le SPICE. La susceptibilité SE a été estimée à partir de d'outil de génération MC de radiations, MUSCA SEP3. Cet outil est basé sur des calculs MC afin de rendre compte des caractéristiques de l'environnement radiatif du design et des paramètres électriques des composants analysés. Les approches proposées par cette thèse améliorent l'état-de-l'art actuel en fournissant des options d'optimisation au niveau du circuit pour réduire les effets de variabilité de fabrication et la susceptibilité aux SE. La Transistor reordering peut augmenter la robustesse des cellules logiques pour une variabilité allant jusqu'à 8%, cependant cette approche n'est pas idéale pour la mitigation des SE. L'utilisation de decoupling cells permet de meilleurs résultats pour le contrôle de la variabilité de consommation avec des niveaux de variation supérieurs à 4%, et atténuant jusqu'à 10% la

variabilité du délai pour la variabilité de fabrication de 3% de la WFF. D'un point de vue SE, cette technique permet une diminution de 10% de la sensibilité des cellules logiques étudiées. L'utilisation de structure Schmitt Triggers en sortie de cellule logique permet une amélioration allant jusqu'à 5% de la sensibilité à la variabilité de fabrication. Enfin, l'utilisation de sleep transistors améliore la variabilité de fabrication d'environ 12% pour 5% de WFF. La variabilité du délai dépend de la manière dont les transistors sont disposés au circuit. Cette méthode permet une immunité totale de la cellule logique y compris en régime near-threshold. En résumé, la meilleure approche de mitigation de la variabilité de fabrication semble être l'utilisation de structure Schmitt Triggers alors que l'utilisation de sleep transistors est le plus adapté pour l'optimisation de SE. Ainsi, selon les applications et contraintes, la méthode de durcissement par sleep transistors semble proposer le meilleur compromis.

Mots-clés : microélectronique, design au niveau circuit, variabilité de fabrication, fiabilité, soft error, FinFET

Summary: Technology scaling down raised important topics related to reliability and robustness of electronic systems. Multigate devices provide better short-channel effects (SCE) control, lower leakage, better yield and hence, they are pointed by International Technology Roadmap for Semiconductors (ITRS) as the most attractive choice to overcome obstacles and keep scaling. Among the variety of different multigate devices proposed, Fin-Shaped Field Effect Transistor (FinFET) is a device that has gained space and importance in the industry due to the perfect isolation, high driving capability and manufacturing process very similar to the standard CMOS. Although the FinFET technology brings various benefits, there are some challenges to deal such as Process, Voltage, and Temperature (PVT) variability and high soft error (SE) sensitivity induced by energetic particles from space and terrestrial environments. The newest and next technologies to be announced by microelectronics industry show a promising future for multigate devices. For this reason, the update of Electronic Design Automation (EDA) tools to accept features imposed by them is crucial to keep the nanotechnology advancement. Moreover, considerable research efforts should be made about understanding the reliability challenges, as well as propose new design methodologies as a way of prediction and mitigation ensuring the correct circuit operation. Although there are many kinds of research involving multigate devices, most of them focus at device and transistor levels, with few works focused on FinFET technology at the physical level. Thus, this work initially investigates the impact of radiation effects (ionizing dose and soft errors) and main sources of variability in 14nm and 7nm FinFET technology as well as the analysis of layout strategies to improve the challenges imposed by multigate devices. After, different metrics and methodologies to evaluate the robustness of circuits will be defined. Moreover, various layouts of circuits applying the techniques previously investigated will be developed. Finally, tests will be made to verify the improvement of robustness regarding process variability and radiation.

Keywords: microelectronics, circuit-level design, process variability, reliability, soft error, FinFET